

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-076247
 (43)Date of publication of application : 15.03.2002

(51)Int.Cl. H01L 25/065
 H01L 25/07
 H01L 25/18

(21)Application number : 2000-255081
 (22)Date of filing : 25.08.2000

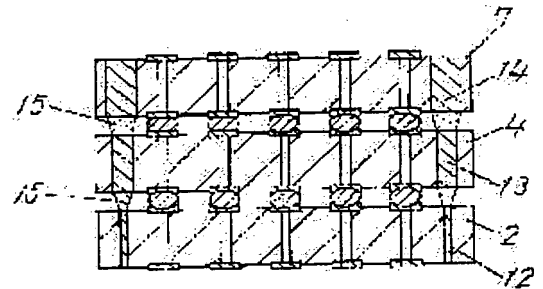
(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD
 (72)Inventor : HAMAYA TAKESHI
 NAGAO KOICHI
 MATSUMURA KAZUHIKO
 YAMADA YUICHIRO
 ITO FUMITO
 KUMAKAWA TAKAHIRO

(54) STACKED SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To solve the problem that conventionally a stacked semiconductor device may have connection reliability lowered, because semiconductor chips are aligned by fitting protrusions and recessed provided in via pads or through infrared recognition.

SOLUTION: The center of the second dummy via 13 in a second semiconductor chip 4 is arranged, to correspond to the center of the first dummy via 12 in a first semiconductor chip 2, and center of the third dummy via 14 in a third semiconductor chip 7 is arranged to correspond to the center of the first dummy via 12 in the first semiconductor chip 2 and center of the second dummy via 13 in the second semiconductor chip 4, and the chips are stacked with high positional accuracy. Therefore, a stacked semiconductor device, where connection reliability of respective semiconductor chips is enhanced, can be realized.



LEGAL STATUS

[Date of request for examination] 10.05.2006
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

THIS PAGE BLANK (USPTO)

* NOTICES *

JPO and NCIPJ are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The 1st semiconductor chip with the 1st beer for signal connection formed in said 1st electrode pad [which was formed on the principal plane], and 1st electrode pad top, or its near, The 2nd semiconductor chip with the 2nd beer for signal connection formed in said 2nd electrode pad [which was formed on the principal plane], and 2nd electrode pad top, or its near, It consists of the 3rd semiconductor chip with the 3rd beer for signal connection formed in said 3rd electrode pad [which was formed on the principal plane], and 3rd electrode pad top, or its near. It is the laminating mold semiconductor device with which said 2nd semiconductor chip was carried on said 1st semiconductor chip, and said 3rd semiconductor chip was carried on said 2nd semiconductor chip. Said 1st semiconductor chip, the 2nd semiconductor chip, and the 3rd semiconductor chip have the 1st dummy beer, the 2nd dummy beer, and the 3rd dummy beer, respectively. The core of the 2nd dummy beer of the 2nd semiconductor chip is arranged corresponding to the core of said 1st dummy beer of said 1st semiconductor chip. The laminating mold semiconductor device characterized by furthermore arranging the core of the 3rd dummy beer of the 3rd semiconductor chip corresponding to the core of said 1st dummy beer of the 1st semiconductor chip, and the core of the 2nd dummy beer of the 2nd semiconductor chip.

[Claim 2] The laminating mold semiconductor device according to claim 1 characterized by the path of the 2nd dummy beer being larger than the path of the 1st dummy beer, and the path of the 3rd dummy beer being larger than the path of said 2nd dummy beer.

[Claim 3] The 1st semiconductor chip, the 2nd semiconductor chip, and the 3rd semiconductor chip are a laminating mold semiconductor device according to claim 1 characterized by being the same semiconductor chip, respectively.

[Claim 4] The laminating mold semiconductor device according to claim 1 characterized by filling up the 1st dummy beer, the 2nd dummy beer, and the 3rd dummy beer with fixing material, and the 1st semiconductor chip, the 2nd semiconductor chip, and the 3rd semiconductor chip being fixed by said fixing material.

[Claim 5] The 1st beer for signal connection formed in the 1st electrode pad and 1st electrode pad top formed on the principal plane, or its near, As opposed to the 1st semiconductor chip with the 1st dummy beer of the 1st path size formed on the principal plane The 2nd beer for signal connection formed in the 2nd electrode pad and 2nd electrode pad top formed on the principal plane, or its near, While carrying out the laminating of the 2nd semiconductor chip with the 2nd dummy beer of the 2nd path size formed on the principal plane and recognizing the location of said 1st dummy beer from said 2nd dummy beer. Make the core of said 1st dummy beer agree at the core of said 2nd dummy beer, and it carries out alignment to it. As opposed to the process which connects said the 1st beer and said 2nd beer, and said 2nd semiconductor chip. The 3rd beer for signal connection formed in the 3rd electrode pad and 3rd electrode pad top formed on the principal plane, or its near, While carrying out the laminating of the 3rd semiconductor chip with the 3rd dummy beer of the 3rd path size formed on the principal plane and recognizing the location of said dummy beer to the 3rd said 1st dummy beer of the lower part and 2nd dummy beer. Make the core of said 1st dummy beer and the 2nd dummy beer agree at the core of said 3rd dummy beer, and it carries out alignment to it. It is the manufacture approach of the laminating mold semiconductor device characterized by carrying out sequential recognition and carrying out alignment of the dummy beer which always exists caudad at the time of the alignment at the time of having the process which connects said the 2nd beer and said 3rd beer, and carrying out the laminating of the semiconductor chip.

[Claim 6] The manufacture approach of the laminating mold semiconductor device according to claim 5 characterized by the path of the 2nd dummy beer being larger than the path of the 1st dummy beer, and the path of the 3rd dummy beer being larger than the path of said 2nd dummy beer.

[Claim 7] The 1st semiconductor chip, the 2nd semiconductor chip, and the 3rd semiconductor chip are the manufacture approach of the laminating mold semiconductor device according to claim 5 characterized by being the same semiconductor chip, respectively.

[Claim 8] The manufacture approach of the laminating mold semiconductor device according to claim 5 characterized by having further the process which fills up the 1st dummy beer, the 2nd dummy beer, and the 3rd dummy beer with fixing material, and fixes the 1st semiconductor chip, the 2nd semiconductor chip, and the 3rd semiconductor chip by said fixing material.

[Translation done.]

* NOTICES *

JPO and NCIPJ are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] About the laminating mold semiconductor device which carried out laminating loading of two or more semiconductor chips in the direction of three dimensions, and its manufacture approach, alignment is improved each semiconductor chips by which especially the laminating was carried out by precision, and this invention relates to the reliable laminating mold semiconductor device and its manufacture approach of connection.

[0002]

[Description of the Prior Art] Conventionally, the electrodes by which the laminating mold semiconductor device with which the laminating of two or more semiconductor chips was carried out in the direction of three dimensions, and they were constituted was formed in each semiconductor chip were electrically connected by penetration beer with the front rear face.

[0003] Drawing 6 is drawing showing the configuration of the conventional laminating mold semiconductor device, drawing 6 (a) is a top view and drawing 6 (b) is the main sectional views of one A-A of drawing 6 (a). In addition, illustration of a beer pad is omitted in drawing 6 (a).

[0004] As shown in drawing 6, the conventional laminating mold semiconductor device The 1st semiconductor chip 2 with the 1st penetration beer 1 for signal connection formed in the 1st electrode pad and 1st electrode pad formed on the principal plane, The 2nd semiconductor chip 4 with the 2nd penetration beer 3 for signal connection formed in the 2nd electrode pad and 2nd electrode pad formed on the principal plane, It consists of the 3rd semiconductor chip 7 with the 3rd penetration beer 6 for signal connection formed in the 3rd electrode pad 5 and 3rd electrode pad 5 formed on the principal plane. The 2nd semiconductor chip 4 is carried on the 1st semiconductor chip 2, the 3rd semiconductor chip 7 is carried on the 2nd semiconductor chip 4, and the laminating mold semiconductor device of the three-dimensional structure is constituted.

[0005] And beer pad 8a of the front face of the 1st penetration beer 1 of the 1st semiconductor chip 2 and beer pad 9b of the rear face of the 2nd penetration beer 3 of the 2nd semiconductor chip 4 are connected. And beer pad 9a of the front face of the 2nd penetration beer 3 of the 2nd semiconductor chip 4 and beer pad 10b of the rear face of the 3rd penetration beer 6 of the 3rd semiconductor chip 7 are connected, and each semiconductor chips are electrically connected by the beer for signal connection. 10a is the beer pad of the front face of the 3rd penetration beer 6 of the 3rd semiconductor chip 7. And the connection between the beer pad of each semiconductor chip and a beer pad is connected by the electric conduction material 11, such as a pewter. Moreover, although it is not illustrating, it may fill up with closure resin between each semiconductor chip.

[0006] Moreover, in the conventional laminating mold semiconductor device, electric conduction material was formed in the wall, and the 1st, 2nd, and 3rd penetration beer 1, 3, and 6 has connected electrically the surface electrode and surface rear face of a semiconductor chip. Moreover, there is also a case of the restoration beer filled up with electric conduction material except penetration beer. Moreover, the 1st semiconductor chip 2, the 2nd semiconductor chip 4, and the 3rd semiconductor chip 7 are semiconductor integrated circuit chips, respectively.

[0007] In the conventional laminating mold semiconductor device, in the case of substrate mounting, beer pad 8b of the rear face of the 1st penetration beer 1 of the 1st semiconductor chip 2 becomes an external electrode, and it mounts secondarily by connecting with a substrate electrode.

[0008] Moreover, in manufacture of the conventional laminating mold semiconductor device, the alignment in the case of connection of each semiconductor chips was what forms the irregularity corresponding to the beer pad of the penetration beer of each semiconductor chip, and is connected by the alignment by fitting of the shape of the tothing. For example, it had connected by inserting a convex configuration in a concave configuration mutually by making into a concave configuration beer pad 9b of the 2nd penetration beer 3 of the 2nd semiconductor chip 4 which carries out laminating loading of the beer pad 8a of the 1st penetration beer 1 of the 1st semiconductor chip 2 on it with a convex configuration. Moreover, it was what carries out transparency recognition of the wiring on a semiconductor chip with infrared radiation, carries out alignment of the penetration beer which should connect each semiconductor chip with the recognition data as another means, and is connected.

[0009]

[Problem(s) to be Solved by the Invention] However, in said conventional laminating mold semiconductor device, the exclusive design and processing of a beer pad to which the alignment of each semiconductor chips at that time of carrying out laminating loading is the alignment by fitting of the shape of tothing of beer pads, and corresponded were needed, and there was a possibility of causing the complicated nature of a semiconductor chip design. Furthermore by the production process, there was also a possibility that the dependability of connection might become low, for physical alignment called the alignment by fitting of the shape of tothing of beer pads. Moreover, in the alignment by infrared transparency, there was also a problem that the facility cost for alignment increased.

[0010] It aims at offering the laminating mold semiconductor device which offers the laminating mold semiconductor device which raised the dependability of connection, and its manufacture approach, has recognized the location of each semiconductor chip certainly in the state of a laminating with the dummy beer prepared in each semiconductor chip, carried out [alignment in the case of laminating loading of each semiconductor chips of this invention was made easily and highly precise, and] alignment, and made the complicated chip design etc. unnecessary, and its manufacture approach.

[0011]

[Means for Solving the Problem] In order to solve said conventional technical problem the laminating mold semiconductor device of this invention The 1st semiconductor chip with the 1st beer for signal connection formed in said 1st electrode pad [which was formed on the principal plane], and 1st electrode pad top, or its near, The 2nd semiconductor chip with the 2nd beer for signal connection formed in said 2nd electrode pad [which was formed on the principal plane], and 2nd electrode pad top, or its near, It consists of the 3rd semiconductor chip with the 3rd beer for signal connection formed in said 3rd electrode pad [which was formed on the principal plane], and 3rd electrode pad top, or its near. It is the laminating mold semiconductor device with which said 2nd semiconductor chip was carried on said 1st semiconductor chip, and said 3rd semiconductor chip was carried on said 2nd semiconductor chip. Said 1st semiconductor chip, the 2nd semiconductor chip, and the 3rd semiconductor chip have the 1st dummy beer, the 2nd dummy beer, and the 3rd dummy beer, respectively. The core of the 2nd dummy beer of the 2nd semiconductor chip is arranged corresponding to the core of said 1st dummy beer of said 1st semiconductor chip. It is the laminating mold semiconductor device with which the core of the 3rd dummy beer of the 3rd semiconductor chip is furthermore arranged corresponding to the core of said 1st dummy beer of the 1st semiconductor chip, and the core of the 2nd dummy beer of the 2nd semiconductor chip.

[0012] And it is a laminating mold semiconductor device with the path of the 2nd dummy beer larger than the path of the 1st dummy beer, and the

specifically larger path of the 3rd dummy beer than the path of said 2nd dummy beer.

[0013] Moreover, the 1st semiconductor chip, the 2nd semiconductor chip, and the 3rd semiconductor chip are laminating mold semiconductor devices which are the same semiconductor chips, respectively.

[0014] Moreover, it is the laminating mold semiconductor device with which the 1st dummy beer, the 2nd dummy beer, and the 3rd dummy beer are filled up with fixing material, and the 1st semiconductor chip, the 2nd semiconductor chip, and the 3rd semiconductor chip are being fixed by said fixing material.

[0015] As said configuration, the laminating mold semiconductor device of this invention The core of the 2nd dummy beer of the 2nd semiconductor chip is arranged corresponding to the core of the 1st dummy beer of the 1st semiconductor chip. Since the core of the 3rd dummy beer of the 3rd semiconductor chip is furthermore arranged corresponding to the core of the 1st dummy beer of the 1st semiconductor chip, and the core of the 2nd dummy beer of the 2nd semiconductor chip, A laminating is improved by location precision and the laminating mold semiconductor device which improved the dependability of connection of each semiconductor chips in a chip laminating can be realized.

[0016] Moreover, the manufacture approach of the laminating mold semiconductor device of this invention The 1st beer for signal connection formed in the 1st electrode pad and 1st electrode pad top formed on the principal plane, or its near, As opposed to the process which connects said the 1st beer and said 2nd beer, and said 2nd semiconductor chip The 3rd beer for signal connection formed in the 3rd electrode pad and 3rd electrode pad top formed on the principal plane, or its near, While carrying out the laminating of the 2nd semiconductor chip with the 2nd dummy beer of the 2nd path size formed on the principal plane and recognizing the location of said 1st dummy beer from said 2nd dummy beer Make the core of said 1st dummy beer agree at the core of said 2nd dummy beer, and it carries out alignment to it. As opposed to the process which connects said the 1st beer and said 2nd beer, and said 2nd semiconductor chip The 3rd beer for signal connection formed in the 3rd electrode pad and 3rd electrode pad top formed on the principal plane, or its near, While carrying out the laminating of the 3rd semiconductor chip with the 3rd dummy beer of the 3rd path size formed on the principal plane and recognizing the location of said dummy beer to the 3rd said 1st dummy beer of the lower part and 2nd dummy beer Make the core of said 1st dummy beer and the 2nd dummy beer agree at the core of said 3rd dummy beer, and it carries out alignment to it. It is the manufacture approach of the laminating mold semiconductor device which carries out sequential recognition and carries out alignment of the dummy beer which always exists caudad at the time of the alignment at the time of having the process which connects said the 2nd beer and said 3rd beer, and carrying out the laminating of the semiconductor chip.

[0017] And it is the manufacture approach of a laminating mold semiconductor device with the path of the 2nd dummy beer larger than the path of the 1st dummy beer, and the specifically larger path of the 3rd dummy beer than the path of said 2nd dummy beer.

[0018] Moreover, the 1st semiconductor chip, the 2nd semiconductor chip, and the 3rd semiconductor chip are the manufacture approaches of the laminating mold semiconductor device which is the same semiconductor chip, respectively.

[0019] Moreover, it is the manufacture approach of a laminating mold semiconductor device of having further the process which fills up the 1st dummy beer, the 2nd dummy beer, and the 3rd dummy beer with fixing material, and fixes the 1st semiconductor chip, the 2nd semiconductor chip, and the 3rd semiconductor chip by said fixing material.

[0020] Since the center position of each dummy beer can be doubled and location precision can improve a laminating by preparing the dummy beer for alignment in the semiconductor chip which carries out a laminating apart from the beer for signal connection in the manufacture approach of the laminating mold semiconductor device of this invention as said configuration, the reliable laminating mold semiconductor device of connection between each semiconductor chip can be obtained. That is, since the dummy beer of the semiconductor chip by which laminating loading is carried out on it constitutes the path from dummy beer of a lower semiconductor chip greatly to one semiconductor chip, by carrying out sequential recognition of the dummy beer which always exists caudad, alignment precision can be raised at the time of the alignment at the time of carrying out the laminating of the semiconductor chip, and it can raise the dependability of connection between semiconductor chips. Moreover, by being filled up with fixing material to dummy beer behind the laminating of each semiconductor chip, each semiconductor chip can certainly be fixed and the stability of connection of the beer for signal connection can be raised.

[0021]

[Embodiment of the Invention] Hereafter, it explains, referring to a drawing about 1 operation gestalt of the laminating mold semiconductor device of this invention, and its manufacture approach.

[0022] The laminating mold semiconductor device of this operation gestalt is explained first. Drawing 1 is drawing showing the laminating mold semiconductor device of this operation gestalt, drawing 1 (a) is a top view and drawing 1 (b) is the sectional view of one B-B of drawing 1 (a). In addition, illustration of a beer pad is omitted in drawing 1 (a).

[0023] As shown in drawing 1, the laminating mold semiconductor device of this operation gestalt The 1st semiconductor chip 2 with the 1st penetration beer 1 for signal connection formed in the 1st electrode pad and 1st electrode pad top formed on the principal plane, or its near, The 2nd semiconductor chip 4 with the 2nd penetration beer 3 for signal connection formed in the 2nd electrode pad and 2nd electrode pad top formed on the principal plane, or its near, It consists of the 3rd semiconductor chip 7 with the 3rd penetration beer 6 for signal connection formed in the 3rd electrode pad 5 and 3rd electrode pad 5 top formed on the principal plane, or its near. The 2nd semiconductor chip 4 is carried on the 1st semiconductor chip 2, the 3rd semiconductor chip 7 is carried on the 2nd semiconductor chip 4, and the laminating mold semiconductor device of the three-dimensional structure is constituted.

[0024] And beer pad 8a of the front face of the 1st penetration beer 1 of the 1st semiconductor chip 2 and beer pad 9b of the rear face of the 2nd penetration beer 3 of the 2nd semiconductor chip 4 are connected. And beer pad 9a of the front face of the 2nd penetration beer 3 of the 2nd semiconductor chip 4 and beer pad 10b of the rear face of the 3rd penetration beer 6 of the 3rd semiconductor chip 7 are connected, and each semiconductor chips are electrically connected by the beer for signal connection. Moreover, although the connection between the beer pad of each semiconductor chip and a beer pad is connected by the electric conduction material 11, such as a pewter and electroconductive glue, beer pads may be connected by metal junction. In addition, 10a is the beer pad of the front face of the 3rd penetration beer 6 of the 3rd semiconductor chip 7. And electric conduction material was formed in the wall, and the 1st, 2nd, and 3rd penetration beer 1, 3, and 6 has connected electrically the surface electrode and surface rear face of a semiconductor chip to it within a chip. Moreover, the restoration beer filled up with electric conduction material may be used except penetration beer.

[0025] Moreover, although not illustrated with this operation gestalt, it is filled up with closure resin between each semiconductor chip, and confidentiality may be raised, or it may be filled up with the closure resin of heat dissipation nature, and the measures against heat dissipation may be taken.

[0026] Moreover, in the case of the substrate mounting, beer pad 8b of the rear face of the 1st penetration beer 1 of the 1st semiconductor chip 2 becomes an external electrode, and the laminating mold semiconductor device of this operation gestalt mounts secondarily by connecting with a substrate electrode.

[0027] The laminating mold semiconductor device of this operation gestalt has dummy beer which penetrated each semiconductor chip in the chip periphery, for example, each corner section, here.

[0028] The sectional view of one C-C of drawing 1 (a) is shown in drawing 2.

[0029] As shown in drawing 2, the laminating mold semiconductor device of this operation gestalt with another configuration with the penetration beer for signal connection It is what has the 1st dummy beer 12, the 2nd dummy beer 13, and the 3rd dummy beer 14, respectively into each corner part of each semiconductor chip of the 1st semiconductor chip 2, the 2nd semiconductor chip 4, and the 3rd semiconductor chip 7. Make it correspond to the core of the 1st dummy beer 12 of the 1st semiconductor chip 2, and the core of the 2nd dummy beer 13 of the 2nd semiconductor chip 4 is arranged. Furthermore, on it, the core of the 3rd dummy beer 14 of the 3rd semiconductor chip 7 is arranged, and the laminating is improved three

semiconductor chips by location precision. And with this operation gestalt, it is considering as the configuration with the path of the 2nd dummy beer 13 larger than the path of the 1st dummy beer 12, and the larger path of the 3rd dummy beer 14 than the path of the 2nd dummy beer 13.

[0030] When carrying out the laminating of the 2nd semiconductor chip 4 on the 1st semiconductor chip 2 by this configuration, Alignment of the 1st dummy beer 12 of the 1st semiconductor chip 2 located caudad is recognized and carried out from the 2nd dummy beer 13 of the 2nd semiconductor chip 4. In case the laminating of the 3rd semiconductor chip 7 is furthermore carried out on the 2nd semiconductor chip 4, the 1st [of the 1st semiconductor chip 2 located caudad] dummy beer 12 and 2nd dummy beer 13 of the 2nd semiconductor chip 4 are recognized from the 3rd dummy beer 14 of the 3rd semiconductor chip 7. By carrying out alignment, three semiconductor chips can be set with a very sufficient location precision, and the dependability of connection of each semiconductor chips in a chip laminating can be raised.

[0031] That is, the dummy beer of the semiconductor chip with which laminating loading of the laminating mold semiconductor device of this operation gestalt is carried out on it to one semiconductor chip constitutes the path from dummy beer of a lower semiconductor chip greatly, by carrying out sequential recognition of the dummy beer which always exists caudad, alignment precision can be raised at the time of the alignment at the time of carrying out the laminating of the semiconductor chip, and it can raise the dependability of connection between semiconductor chips. In addition, although the number of a semiconductor chip is made into three pieces with this operation gestalt, since it is what carries out sequential recognition of the dummy beer which always exists caudad at the time of alignment, the number of the semiconductor chip which carries out a laminating may be four or more pieces.

[0032] Moreover, as shown in drawing 2, the 1st, 2nd, and 3rd dummy beer 12, 13, and 14 constitutes the alignment part at the time of carrying out the laminating of the 1st semiconductor chip 2, the 2nd semiconductor chip 4, and the 3rd semiconductor chip 7 from this operation gestalt, but after carrying out alignment and carrying out laminating loading of each semiconductor chip, dummy beer is filled up with the fixing material 15, such as closure resin or adhesives, and each semiconductor chips are fixed. This structure can raise the dependability of connection of a laminating mold semiconductor chip further. The stability of connection of the penetration beer for signal connection can be raised by fixing semiconductor chips in each corner section of a semiconductor chip especially. Moreover, after carrying out laminating loading of each semiconductor chip, closure resin is poured in from dummy beer also to the gap of each semiconductor chip, and between chips may fix.

[0033] Moreover, although the 1st semiconductor chip 2, the 2nd semiconductor chip 4, and the 3rd semiconductor chip 7 are semiconductor integrated circuit chips in the laminating mold semiconductor device of this operation gestalt, respectively, it is more desirable for the 1st semiconductor chip 2, the 2nd semiconductor chip 4, and the 3rd semiconductor chip 7 to be semiconductor chips of the same size by the same class mutually. In case this only changes the path size of the dummy beer prepared in each semiconductor chip and carries out the laminating of these semiconductor chips, it is because each penetration beer for signal connection is connectable with a sufficient precision by the alignment of dummy beer. Or when the 1st semiconductor chip 2, the 2nd semiconductor chip 4, and the 3rd semiconductor chip 7 are different-species different sizes, according to dummy beer, arrangement of the electrode pad of a semiconductor chip and penetration beer can be set up, and it can design so that alignment of each penetration beer of each semiconductor chip may be carried out only by performing alignment of each dummy beer, and each penetration beer for signal connection can be connected with a sufficient precision by the alignment of dummy beer.

[0034] Next, the manufacture approach of the laminating mold semiconductor device of this operation gestalt is explained. Drawing 3 is the top view showing the manufacture approach of the laminating mold semiconductor device of this operation gestalt, and is the top view in which having shown the condition after carrying out the laminating of the 1st semiconductor chip, the 2nd semiconductor chip, and the 3rd semiconductor chip, respectively, and having shown the condition that alignment of the 3rd best semiconductor chip was carried out. Moreover, drawing 4 is the top view showing the manufacture approach of the laminating mold semiconductor device of this operation gestalt, and is the top view which one dummy beer part in the condition that alignment of the semiconductor chip was carried out expanded.

[0035] As shown in drawing 3 and drawing 4, the 3rd dummy beer 14 is formed in each corner section of the 3rd semiconductor chip 7, but since the 3rd dummy beer 14 has path size larger than the 2nd dummy beer 13 of the 2nd semiconductor chip by which the laminating is carried out to the bottom of it, the 2nd dummy beer 13 can be recognized from the 3rd dummy beer 14. Furthermore, since the 2nd dummy beer 13 has path size larger than the 1st dummy beer 12 of the 1st semiconductor chip by which the laminating is carried out to the bottom of it, it can recognize the 1st dummy beer 12 from the 2nd dummy beer 13, and can carry out alignment of the core of the 2nd dummy beer 13 and the 3rd dummy beer 14 to the 1st dummy beer 12, respectively as a result.

[0036] Namely, a main precision improves the 2nd dummy beer 13 of the 2nd semiconductor chip alignment to the 1st dummy beer 12 of the 1st semiconductor chip. Subsequently, when a main precision improves the 3rd dummy beer 14 of the 3rd semiconductor chip alignment to the 1st dummy beer 12 of the 1st semiconductor chip, and the 2nd dummy beer 13 of the 2nd semiconductor chip All semiconductor chips of each other can be set with a sufficient location precision.

[0037] The manufacture approach of the laminating mold semiconductor device of this operation gestalt is explained with reference to drawing 5 using the alignment means by the above dummy beer.

[0038] The 1st electrode pad formed on the principal plane as first shown in drawing 5 (a). The 1st penetration beer 1 for signal connection formed in the 1st electrode pad top or its near. As opposed to the 1st semiconductor chip 2 with the 1st dummy beer 12 of the 1st path size formed in each corner section on the principal plane The 2nd penetration beer 3 for signal connection formed in the 2nd electrode pad and 2nd electrode pad top formed on the principal plane, or its near. While carrying out the laminating of the 2nd semiconductor chip 4 with the 2nd dummy beer 13 of the 2nd path size formed in each corner section on the principal plane and recognizing the location of the 1st dummy beer 12 from the 2nd dummy beer 13 The core of the 1st dummy beer 12 is made to agree, is set as the core of the 2nd dummy beer 13 for alignment, and the 1st penetration beer 1 and the 2nd penetration beer 3 are connected by metal junction of the electric conduction material 11 or beer pads.

[0039] Next, the 3rd electrode pad formed on the principal plane to the 2nd semiconductor chip 4 as shown in drawing 5 (b). The 3rd penetration beer 6 for signal connection formed in the 3rd electrode pad top or its near. The laminating of the 3rd semiconductor chip 7 with the 3rd dummy beer 14 of the 3rd path size formed in each corner section on the principal plane is carried out. While recognizing the location of dummy beer 14 to the 3rd 1st dummy beer 12 of the lower part and 2nd dummy beer 13 By making the core of the 1st dummy beer 12 and the 2nd dummy beer 13 agree, setting it as the core of the 3rd dummy beer 14 for alignment, and connecting the 2nd penetration beer 3 and the 3rd penetration beer 6 like the above-mentioned Sequential recognition of the dummy beer which always exists caudad can be carried out at the time of the alignment at the time of carrying out the laminating of the semiconductor chip, it can raise alignment precision, and the laminating mold semiconductor device which raised the dependability of connection between semiconductor chips can be obtained.

[0040] Of course as above-mentioned, the 2nd path size of the 2nd dummy beer 13 is larger than the 1st path size of the 1st dummy beer 12. From the 2nd path size of the 2nd dummy beer 13, the 3rd path size of the 3rd dummy beer 14 is large, and let it respectively be the large desirable path [one by one] size at 20 [%] extent more than 10 [%] as the ratio. In the 1st dummy beer 12, with this operation gestalt, 20 [mumphi] and the 2nd dummy beer 13 are setting 25 [mumphi] and the 3rd dummy beer 14 to 30 [mumphi].

[0041] In addition, after carrying out the laminating of the 1st, 2nd, and 3rd semiconductor chip 2, 4, and 7, the 1st, 2nd, and 3rd dummy beer 12, 13, and 14 may be filled up with fixing material, dummy beer may be connected, and each semiconductor chip may be fixed.

[0042] Moreover, in case each semiconductor chips are connected, after making intervene closure resin and connecting or connecting between each semiconductor chip, between each semiconductor chip, closure resin is poured in from the 1st dummy beer 12 or the 3rd dummy beer 14, and between semiconductor chips may be filled up with closure resin.

[0043] As mentioned above, by the laminating mold semiconductor device and its manufacture approach of this operation gestalt, by preparing the dummy beer for alignment in each corner section of the semiconductor chip which carries out a laminating apart from the beer for signal connection, a laminating is improved by location precision and the reliable laminating mold semiconductor device of connection between each semiconductor chip

can be obtained. Moreover, by being filled up with fixing material to dummy beer behind the laminating of each semiconductor chip, each semiconductor chip can certainly be fixed and the stability of connection of the beer for signal connection can be raised.

[0044]

[Effect of the Invention] As the operation gestalt explained as mentioned above, the laminating mold semiconductor device of this invention The core of the 2nd dummy beer of the 2nd semiconductor chip is arranged corresponding to the core of the 1st dummy beer of the 1st semiconductor chip. Since the core of the 3rd dummy beer of the 3rd semiconductor chip is furthermore arranged corresponding to the core of the 1st dummy beer of the 1st semiconductor chip, and the core of the 2nd dummy beer of the 2nd semiconductor chip, A laminating is improved by location precision and the laminating mold semiconductor device which improved the dependability of connection of each semiconductor chips in a chip laminating can be realized.

[0045] Moreover, in the manufacture approach of the laminating mold semiconductor device of this invention, since the dummy beer of the semiconductor chip by which laminating loading is carried out on it constitutes the path from dummy beer of a lower semiconductor chip greatly to one semiconductor chip, by carrying out sequential recognition of the dummy beer which always exists caudad, alignment precision can be raised at the time of the alignment at the time of carrying out the laminating of the semiconductor chip, and it can raise the dependability of connection between semiconductor chips. Moreover, by being filled up with fixing material to dummy beer behind the laminating of each semiconductor chip, each semiconductor chip can certainly be fixed and the stability of connection of the beer for signal connection can be raised.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing showing the laminating mold semiconductor device concerning 1 operation gestalt of this invention

[Drawing 2] The sectional view showing the laminating mold semiconductor device concerning 1 operation gestalt of this invention

[Drawing 3] The top view showing the manufacture approach of the laminating mold semiconductor device concerning 1 operation gestalt of this invention

[Drawing 4] The top view showing the manufacture approach of the laminating mold semiconductor device concerning 1 operation gestalt of this invention

[Drawing 5] The sectional view showing the manufacture approach of the laminating mold semiconductor device concerning 1 operation gestalt of this invention

[Drawing 6] Drawing showing the conventional laminating mold semiconductor device

[Description of Notations]

- 1 1st Penetration Beer
- 2 1st Semiconductor Chip
- 3 2nd Penetration Beer
- 4 2nd Semiconductor Chip
- 5 3rd Electrode Pad
- 6 3rd Penetration Beer
- 7 3rd Semiconductor Chip
- 8a, 8b Beer pad
- 9a, 9b Beer pad
- 10a, 10b Beer pad
- 11 Electric Conduction Material
- 12 1st Dummy Beer
- 13 2nd Dummy Beer
- 14 3rd Dummy Beer
- 15 Fixing Material

[Translation done.]

* NOTICES *

JPO and NCIP1 are not responsible for any damages caused by the use of this translation.

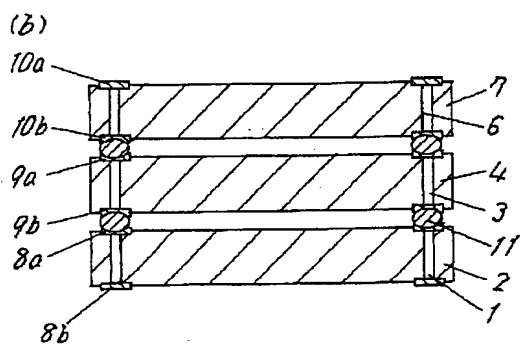
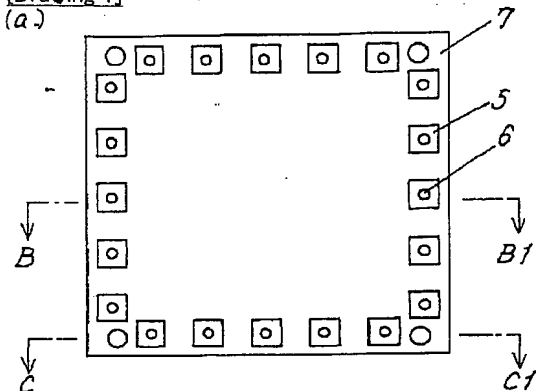
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

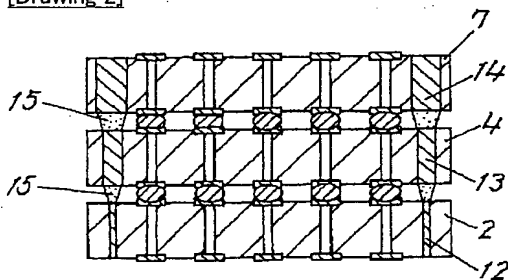
3.In the drawings, any words are not translated.

DRAWINGS

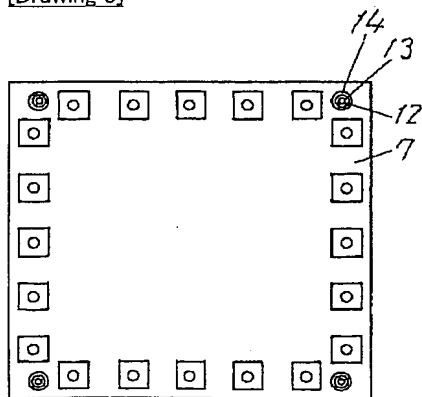
[Drawing 1]



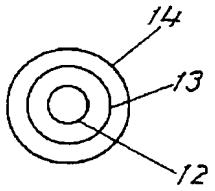
[Drawing 2]



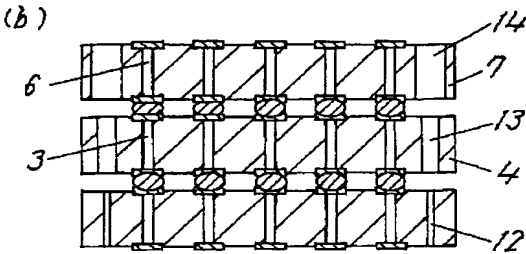
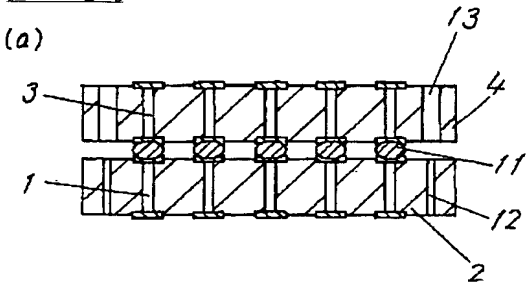
[Drawing 3]



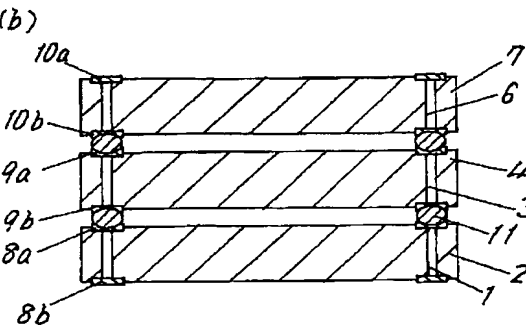
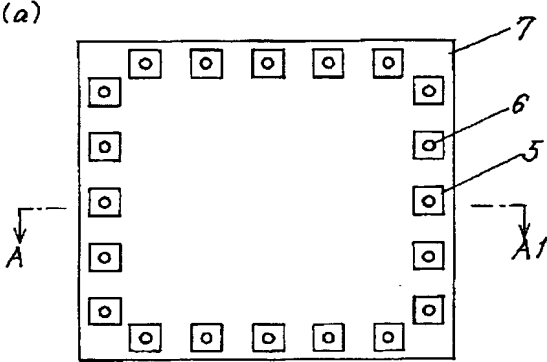
[Drawing 4]



[Drawing 5]



[Drawing 6]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-76247
(P2002-76247A)

(43) 公開日 平成14年3月15日 (2002.3.15)

| (51) Int.Cl. ⁷ | 識別記号 | F I | テ-マコ-ト* (参考) |
|---------------------------|-------|---------------|--------------|
| H 0 1 L 25/065 | | H 0 1 L 25/08 | Z |
| | 25/07 | | |
| | 25/18 | | |

審査請求 未請求 請求項の数 8 O L (全 8 頁)

(21) 出願番号 特願2000-255081(P2000-255081)

(22) 出願日 平成12年8月25日(2000.8.25)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 ▲濱▼谷 毅

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72) 発明者 長尾 浩一

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外2名)

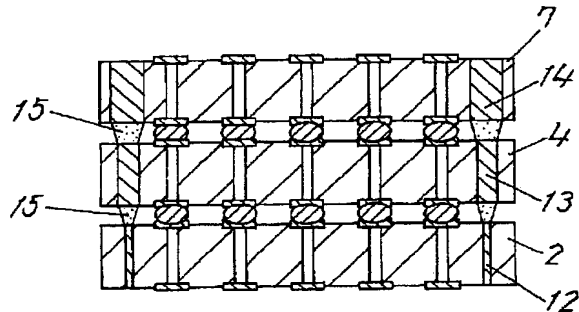
最終頁に続く

(54) 【発明の名称】 積層型半導体装置およびその製造方法

(57) 【要約】

【課題】 従来の積層型半導体装置では各半導体チップどうしの位置合わせが、ビアパッドに設けた凹凸形状のはめ込みによる位置合わせや赤外線認識による位置合わせであり、接続の信頼性が低くなる恐れがあった。

【解決手段】 第1の半導体チップ2の第1のダミービア12の中心に第2の半導体チップ4の第2のダミービア13の中心が対応して配置され、さらに第1の半導体チップ2の第1のダミービア12の中心および第2の半導体チップ4の第2のダミービア13の中心に第3の半導体チップ7の第3のダミービア14の中心が対応して配置され、位置精度よく積層されているため、各半導体チップどうしの接続の信頼性を向上した積層型半導体装置を実現できるものである。



【特許請求の範囲】

【請求項 1】 その主面上に形成された第 1 の電極パッドと、前記第 1 の電極パッド上またはその近傍に形成された信号接続用の第 1 のビアとを有した第 1 の半導体チップと、その主面上に形成された第 2 の電極パッドと、前記第 2 の電極パッド上またはその近傍に形成された信号接続用の第 2 のビアとを有した第 2 の半導体チップと、その主面上に形成された第 3 の電極パッドと、前記第 3 の電極パッド上またはその近傍に形成された信号接続用の第 3 のビアとを有した第 3 の半導体チップとよりなり、前記第 1 の半導体チップ上に前記第 2 の半導体チップが搭載され、前記第 2 の半導体チップ上に前記第 3 の半導体チップが搭載された積層型半導体装置であって、前記第 1 の半導体チップ、第 2 の半導体チップ、第 3 の半導体チップはそれぞれ第 1 のダミービア、第 2 のダミービア、第 3 のダミービアを有し、前記第 1 の半導体チップの前記第 1 のダミービアの中心に第 2 の半導体チップの第 2 のダミービアの中心が対応して配置され、さらに第 1 の半導体チップの前記第 1 のダミービアの中心および第 2 の半導体チップの第 2 のダミービアの中心に第 3 の半導体チップの第 3 のダミービアの中心が対応して配置されていることを特徴とする積層型半導体装置。

【請求項 2】 第 1 のダミービアの径よりも第 2 のダミービアの径が大きく、前記第 2 のダミービアの径よりも第 3 のダミービアの径が大きいかを特徴とする請求項 1 に記載の積層型半導体装置。

【請求項 3】 第 1 の半導体チップ、第 2 の半導体チップ、第 3 の半導体チップはそれぞれ同一の半導体チップであることを特徴とする請求項 1 に記載の積層型半導体装置。

【請求項 4】 第 1 のダミービア、第 2 のダミービア、第 3 のダミービアに固着材が充填されて第 1 の半導体チップ、第 2 の半導体チップ、第 3 の半導体チップが前記固着材により固定されていることを特徴とする請求項 1 に記載の積層型半導体装置。

【請求項 5】 その主面上に形成された第 1 の電極パッドと、その第 1 の電極パッド上またはその近傍に形成された信号接続用の第 1 のビアと、その主面上に形成された第 1 の径サイズの第 1 のダミービアとを有した第 1 の半導体チップに対して、その主面上に形成された第 2 の電極パッドと、その第 2 の電極パッド上またはその近傍に形成された信号接続用の第 2 のビアと、その主面上に形成された第 2 の径サイズの第 2 のダミービアとを有した第 2 の半導体チップを積層し、前記第 2 のダミービアから前記第 1 のダミービアの位置を認識するとともに、前記第 2 のダミービアの中心に前記第 1 のダミービアの中心を合致させて位置合わせして、前記第 1 のビアと前記第 2 のビアとを接続する工程と、前記第 2 の半導体チップに対して、その主面上に形成さ

れた第 3 の電極パッドと、その第 3 の電極パッド上またはその近傍に形成された信号接続用の第 3 のビアと、その主面上に形成された第 3 の径サイズの第 3 のダミービアとを有した第 3 の半導体チップを積層し、前記第 3 のダミービアからその下方の前記第 1 のダミービアおよび第 2 のダミービアの位置を認識するとともに、前記第 3 のダミービアの中心に前記第 1 のダミービア、第 2 のダミービアの中心を合致させて位置合わせして、前記第 2 のビアと前記第 3 のビアとを接続する工程とを有し、半導体チップを積層する際の位置合わせ時は常に下方にあるダミービアを順次認識して位置合わせすることを特徴とする積層型半導体装置の製造方法。

【請求項 6】 第 1 のダミービアの径よりも第 2 のダミービアの径が大きく、前記第 2 のダミービアの径よりも第 3 のダミービアの径が大きいかを特徴とする請求項 5 に記載の積層型半導体装置の製造方法。

【請求項 7】 第 1 の半導体チップ、第 2 の半導体チップ、第 3 の半導体チップはそれぞれ同一の半導体チップであることを特徴とする請求項 5 に記載の積層型半導体装置の製造方法。

【請求項 8】 第 1 のダミービア、第 2 のダミービア、第 3 のダミービアに固着材を充填して第 1 の半導体チップ、第 2 の半導体チップ、第 3 の半導体チップを前記固着材により固定する工程をさらに有することを特徴とする請求項 5 に記載の積層型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は複数の半導体チップを三次元方向に積層搭載した積層型半導体装置およびその製造方法に関するものであり、特に積層された各半導体チップどうしが精度よく位置合わせされ、接続の信頼性が高い積層型半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】従来、複数の半導体チップが三次元方向に積層されて構成された積層型半導体装置は、各半導体チップに設けられた電極どうしがその表裏面で貫通ビアにより電気的に接続されたものであった。

【0003】図 6 は従来の積層型半導体装置の構成を示す図であり、図 6 (a) は平面図であり、図 6 (b) は図 6 (a) の A-A 1 箇所の主要な断面図である。なお図 6 (a) ではビアパッドの図示を省略している。

【0004】図 6 に示すように従来の積層型半導体装置は、その主面上に形成された第 1 の電極パッドと、その第 1 の電極パッドに形成された信号接続用の第 1 の貫通ビア 1 とを有した第 1 の半導体チップ 2 と、その主面上に形成された第 2 の電極パッドと、その第 2 の電極パッドに形成された信号接続用の第 2 の貫通ビア 3 とを有した第 2 の半導体チップ 4 と、その主面上に形成された第 3 の電極パッド 5 と、その第 3 の電極パッド 5 に形成さ

10

20

30

40

50

れた信号接続用の第3の貫通ビア6とを有した第3の半導体チップ7とよりなり、第1の半導体チップ2上に第2の半導体チップ4が搭載され、その第2の半導体チップ4上に第3の半導体チップ7が搭載されて三次元構造の積層型半導体装置を構成しているものである。

【0005】そして第1の半導体チップ2の第1の貫通ビア1の表面のビアパッド8aと第2の半導体チップ4の第2の貫通ビア3の裏面のビアパッド9bとが接続され、そして第2の半導体チップ4の第2の貫通ビア3の表面のビアパッド9aと第3の半導体チップ7の第3の貫通ビア6の裏面のビアパッド10bとが接続され、各半導体チップどうしが信号接続用のビアにより電氣的に接続されているものである。10aは第3の半導体チップ7の第3の貫通ビア6の表面のビアパッドである。そして各半導体チップのビアパッドとビアパッドとの接続はハンダ等の導電材11により接続されているものである。また図示していないが、各半導体チップ間には封止樹脂が充填されている場合もある。

【0006】また従来の積層型半導体装置において、第1、第2、第3の貫通ビア1、3、6はその内壁に導電材が形成され、半導体チップの表面の電極と裏面とを電氣的に接続しているものである。また貫通ビア以外、導電材を充填した充填ビアの場合もある。また第1の半導体チップ2、第2の半導体チップ4、第3の半導体チップ7はそれぞれ半導体集積回路チップである。

【0007】従来の積層型半導体装置において、基板実装の際は第1の半導体チップ2の第1の貫通ビア1の裏面のビアパッド8bが外部電極となり、基板電極と接続することにより二次実装するものである。

【0008】また従来の積層型半導体装置の製造において、各半導体チップどうしの接続の際の位置合わせは、各半導体チップの貫通ビアのビアパッドに対応した凹凸を形成し、その凹凸形状どうしのはめ込みによる位置合わせで接続するものであった。例えば第1の半導体チップ2の第1の貫通ビア1のビアパッド8aを凸形状と、その上に積層搭載する第2の半導体チップ4の第2の貫通ビア3のビアパッド9bを凹形状として、互いに凹形状に凸形状をはめ込むことにより接続していた。また別の手段としては、赤外線により半導体チップ上の配線を透過認識し、その認識データにより各半導体チップの接続すべき貫通ビアを位置合わせして接続するものであった。

【0009】

【発明が解決しようとする課題】しかしながら前記従来の積層型半導体装置では、その積層搭載する際の各半導体チップどうしの位置合わせが、ビアパッドどうしの凹凸形状のはめ込みによる位置合わせであり、対応したビアパッドの専用設計や加工が必要となり、半導体チップ設計の煩雑性を招く恐れがあった。さらに製造工程ではビアパッドどうしの凹凸形状のはめ込みによる位置合

せという物理的な位置合わせのため、接続の信頼性が低くなる恐れもあった。また赤外線透過による位置合わせでは位置合わせのための設備コストが増大するという問題もあった。

【0010】本発明の各半導体チップどうしの積層搭載の際の位置合わせを容易かつ高精度にし、接続の信頼性を高めた積層型半導体装置およびその製造方法を提供するものであり、各半導体チップに設けたダミービアにより各半導体チップの位置を積層状態で確実に認識して位置合わせし、煩雑なチップ設計などを不要にした積層型半導体装置およびその製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】前記従来の課題を解決するために本発明の積層型半導体装置は、その主面上に形成された第1の電極パッドと、前記第1の電極パッド上またはその近傍に形成された信号接続用の第1のビアとを有した第1の半導体チップと、その主面上に形成された第2の電極パッドと、前記第2の電極パッド上またはその近傍に形成された信号接続用の第2のビアとを有した第2の半導体チップと、その主面上に形成された第3の電極パッドと、前記第3の電極パッド上またはその近傍に形成された信号接続用の第3のビアとを有した第3の半導体チップとよりなり、前記第1の半導体チップ上に前記第2の半導体チップが搭載され、前記第2の半導体チップ上に前記第3の半導体チップが搭載された積層型半導体装置であって、前記第1の半導体チップ、第2の半導体チップ、第3の半導体チップはそれぞれ第1のダミービア、第2のダミービア、第3のダミービアを有し、前記第1の半導体チップの前記第1のダミービアの中心に第2の半導体チップの第2のダミービアの中心が対応して配置され、さらに第1の半導体チップの前記第1のダミービアの中心および第2の半導体チップの第2のダミービアの中心に第3の半導体チップの第3のダミービアの中心が対応して配置されている積層型半導体装置である。

【0012】そして具体的には、第1のダミービアの径よりも第2のダミービアの径が大きく、前記第2のダミービアの径よりも第3のダミービアの径が大きい積層型半導体装置である。

【0013】また、第1の半導体チップ、第2の半導体チップ、第3の半導体チップはそれぞれ同一の半導体チップである積層型半導体装置である。

【0014】また、第1のダミービア、第2のダミービア、第3のダミービアに固着材が充填されて第1の半導体チップ、第2の半導体チップ、第3の半導体チップが前記固着材により固定されている積層型半導体装置である。

【0015】前記構成の通り、本発明の積層型半導体装置は、第1の半導体チップの第1のダミービアの中心に

第2の半導体チップの第2のダミービアの中心が対応して配置され、さらに第1の半導体チップの第1のダミービアの中心および第2の半導体チップの第2のダミービアの中心に第3の半導体チップの第3のダミービアの中心が対応して配置されているため、位置精度よく積層され、チップ積層における各半導体チップどうしの接続の信頼性を向上した積層型半導体装置を実現できるものである。

【0016】また本発明の積層型半導体装置の製造方法は、その主面上に形成された第1の電極パッドと、その第1の電極パッド上またはその近傍に形成された信号接続用の第1のビアと、その主面上に形成された第1の径サイズの第1のダミービアとを有した第1の半導体チップに対して、その主面上に形成された第2の電極パッドと、その第2の電極パッド上またはその近傍に形成された信号接続用の第2のビアと、その主面上に形成された第2の径サイズの第2のダミービアとを有した第2の半導体チップを積層し、前記第2のダミービアから前記第1のダミービアの位置を認識するとともに、前記第2のダミービアの中心に前記第1のダミービアの中心を合致させて位置合わせして、前記第1のビアと前記第2のビアとを接続する工程と、前記第2の半導体チップに対して、その主面上に形成された第3の電極パッドと、その第3の電極パッド上またはその近傍に形成された信号接続用の第3のビアと、その主面上に形成された第3の径サイズの第3のダミービアとを有した第3の半導体チップを積層し、前記第3のダミービアからその下方の前記第1のダミービアおよび第2のダミービアの位置を認識するとともに、前記第3のダミービアの中心に前記第1のダミービア、第2のダミービアの中心を合致させて位置合わせして、前記第2のビアと前記第3のビアとを接続する工程とを有し、半導体チップを積層する際の位置合わせ時は常に下方にあるダミービアを順次認識して位置合わせする積層型半導体装置の製造方法である。

【0017】そして具体的には、第1のダミービアの径よりも第2のダミービアの径が大きく、前記第2のダミービアの径よりも第3のダミービアの径が大きい積層型半導体装置の製造方法である。

【0018】また、第1の半導体チップ、第2の半導体チップ、第3の半導体チップはそれぞれ同一の半導体チップである積層型半導体装置の製造方法である。

【0019】また、第1のダミービア、第2のダミービア、第3のダミービアに固着材を充填して第1の半導体チップ、第2の半導体チップ、第3の半導体チップを前記固着材により固定する工程をさらに有する積層型半導体装置の製造方法である。

【0020】前記構成の通り、本発明の積層型半導体装置の製造方法においては、積層する半導体チップには信号接続用のビアとは別に位置合わせ用のダミービアを設けることにより、各ダミービアの中心位置を合わせて位

置精度よく積層することができるため、各半導体チップ間の接続の信頼性の高い積層型半導体装置を得ることができる。すなわち、1つの半導体チップに対して、その上に積層搭載される半導体チップのダミービアは下側の半導体チップのダミービアよりもその径を大きく構成しているため、半導体チップを積層する際の位置合わせ時は常に下方にあるダミービアを順次認識することにより位置合わせ精度を向上させ、半導体チップ間の接続の信頼性を高めることができるものである。また各半導体チップの積層後にダミービアに対して固着材を充填することにより、各半導体チップを確実に固定し、信号接続用のビアどうしの接続の安定性を向上させることができるものである。

【0021】

【発明の実施の形態】以下、本発明の積層型半導体装置およびその製造方法の一実施形態について図面を参照しながら説明する。

【0022】まず本実施形態の積層型半導体装置について説明する。図1は本実施形態の積層型半導体装置を示す図であり、図1(a)は平面図であり、図1(b)は図1(a)のB-B1箇所の断面図である。なお図1(a)ではビアパッドの図示を省略している。

【0023】図1に示すように、本実施形態の積層型半導体装置は、その主面上に形成された第1の電極パッドと、その第1の電極パッド上またはその近傍に形成された信号接続用の第1の貫通ビア1とを有した第1の半導体チップ2と、その主面上に形成された第2の電極パッドと、その第2の電極パッド上またはその近傍に形成された信号接続用の第2の貫通ビア3とを有した第2の半導体チップ4と、その主面上に形成された第3の電極パッド5と、その第3の電極パッド5上またはその近傍に形成された信号接続用の第3の貫通ビア6とを有した第3の半導体チップ7とよりなり、第1の半導体チップ2上に第2の半導体チップ4が搭載され、その第2の半導体チップ4上に第3の半導体チップ7が搭載されて三次元構造の積層型半導体装置を構成しているものである。

【0024】そして第1の半導体チップ2の第1の貫通ビア1の表面のビアパッド8aと第2の半導体チップ4の第2の貫通ビア3の裏面のビアパッド9bとが接続され、そして第2の半導体チップ4の第2の貫通ビア3の表面のビアパッド9aと第3の半導体チップ7の第3の貫通ビア6の裏面のビアパッド10bとが接続され、各半導体チップどうしが信号接続用のビアにより電気的に接続されているものである。また各半導体チップのビアパッドとビアパッドとの接続はハンダや導電性接着剤などの導電材11により接続されているものであるが、ビアパッドどうしを金属接合により接続してもよい。なお、10aは第3の半導体チップ7の第3の貫通ビア6の表面のビアパッドである。そして第1、第2、第3の貫通ビア1、3、6はその内壁に導電材が形成され、半

導体チップの表面の電極と裏面とをチップ内で電氣的に接続しているものである。また貫通ビア以外、導電材を充填した充填ビアを用いてもよい。

【0025】また、本実施形態では図示していないが、各半導体チップ間には封止樹脂を充填して機密性を高めたり、放熱性の封止樹脂を充填して放熱対策をしてもよい。

【0026】また本実施形態の積層型半導体装置はその基板実装の際は第1の半導体チップ2の第1の貫通ビア1の裏面のビアパッド8bが外部電極となり、基板電極と接続することにより二次実装するものである。

【0027】ここで本実施形態の積層型半導体装置は、各半導体チップは貫通したダミービアをチップ周辺部、例えば各コーナー部に有しているものである。

【0028】図2には図1(a)のC-C1箇所の断面図を示す。

【0029】図2に示すように、本実施形態の積層型半導体装置は信号接続用の貫通ビアとの別構成で、第1の半導体チップ2、第2の半導体チップ4、第3の半導体チップ7の各半導体チップの各コーナー部分にそれぞれ第1のダミービア12、第2のダミービア13、第3のダミービア14を有しているものであり、第1の半導体チップ2の第1のダミービア12の中心に対応させて第2の半導体チップ4の第2のダミービア13の中心が配置され、さらにその上に第3の半導体チップ7の第3のダミービア14の中心が配置され3個の半導体チップが位置精度よく積層されているものである。そして本実施形態では第1のダミービア12の径よりも第2のダミービア13の径が大きく、第2のダミービア13の径よりも第3のダミービア14の径が大きき構成としている。

【0030】この構成により、第1の半導体チップ2上に第2の半導体チップ4を積層する際、第2の半導体チップ4の第2のダミービア13からその下方に位置した第1の半導体チップ2の第1のダミービア12を認識して位置合わせし、さらに第2の半導体チップ4上に第3の半導体チップ7を積層する際は第3の半導体チップ7の第3のダミービア14からその下方に位置した第1の半導体チップ2の第1のダミービア12および第2の半導体チップ4の第2のダミービア13を認識して位置合わせすることにより、3個の半導体チップを極めて位置精度よく合わせることができ、チップ積層における各半導体チップどうしの接続の信頼性を高めることができるものである。

【0031】すなわち本実施形態の積層型半導体装置は、1つの半導体チップに対して、その上に積層搭載される半導体チップのダミービアは下側の半導体チップのダミービアよりもその径を大きく構成しているものであり、半導体チップを積層する際の位置合わせ時は常に下方にあるダミービアを順次認識することにより位置合わせ精度を向上させ、半導体チップ間の接続の信頼性を高

めることができるものである。なお、本実施形態では半導体チップの個数を3個としているが、位置合わせ時は常に下方にあるダミービアを順次認識するものであるため、積層する半導体チップの個数は4個以上であってもよい。

【0032】また本実施形態では図2に示したように、第1、第2、第3のダミービア12、13、14は第1の半導体チップ2、第2の半導体チップ4、第3の半導体チップ7を積層する際の位置合わせ部位を構成するものであるが、位置合わせして各半導体チップを積層搭載した後は、ダミービアに封止樹脂または接着剤などの固着材15を充填して各半導体チップどうしを固定している。この構造により積層型半導体チップの接続の信頼性をさらに高めることができる。特に半導体チップの各コーナー部で半導体チップどうしを固定することにより信号接続用の貫通ビアどうしの接続の安定性を向上させることができるものである。また各半導体チップを積層搭載した後、ダミービアから各半導体チップの間隙に対しても封止樹脂を注入し、チップ間も固着してもよい。

【0033】また本実施形態の積層型半導体装置において、第1の半導体チップ2、第2の半導体チップ4、第3の半導体チップ7はそれぞれ半導体集積回路チップであるが、第1の半導体チップ2、第2の半導体チップ4、第3の半導体チップ7は互いに同一種類で同一サイズの半導体チップである方が望ましい。これは各半導体チップに設けたダミービアの径サイズを変更するだけで、それら半導体チップを積層する際は、ダミービアどうしの位置合わせで信号接続用の各貫通ビアの接続を精度よく行うことができるからである。または第1の半導体チップ2、第2の半導体チップ4、第3の半導体チップ7が異種異サイズである場合は、ダミービアに合わせて半導体チップの電極パッド、貫通ビアの配置を設定し、各ダミービアの位置合わせを行うだけで各半導体チップの各貫通ビアが位置合わせされるよう設計し、ダミービアどうしの位置合わせで信号接続用の各貫通ビアの接続を精度よく行うことができる。

【0034】次に本実施形態の積層型半導体装置の製造方法について説明する。図3は本実施形態の積層型半導体装置の製造方法を示す平面図であり、第1の半導体チップ、第2の半導体チップ、第3の半導体チップをそれぞれ積層した後の状態を示し、最上の第3の半導体チップが位置合わせされた状態を示した平面図である。また図4は本実施形態の積層型半導体装置の製造方法を示す平面図であり、半導体チップが位置合わせされた状態の1つのダミービア部分の拡大した平面図である。

【0035】図3、図4に示すように、第3の半導体チップ7の各コーナー部には第3のダミービア14が設けられているが、その第3のダミービア14はその下に積層されている第2の半導体チップの第2のダミービア13よりも径サイズが大きいため、第3のダミービア14

から第2のダミービア13を認識することができる。さらに第2のダミービア13はその下に積層されている第1の半導体チップの第1のダミービア12よりも径サイズが大きいため、第2のダミービア13から第1のダミービア12を認識することができ、結果として第1のダミービア12に対して、第2のダミービア13、第3のダミービア14の中心をそれぞれ位置合わせすることができるものである。

【0036】すなわち、第1の半導体チップの第1のダミービア12に対して、中心精度よく第2の半導体チップの第2のダミービア13を位置合わせし、次いで第3の半導体チップの第3のダミービア14を第1の半導体チップの第1のダミービア12、第2の半導体チップの第2のダミービア13に対して中心精度よく位置合わせすることにより、すべての半導体チップを互いに位置精度よく合わせることができるものである。

【0037】以上のようなダミービアによる位置合わせ手段を用いて本実施形態の積層型半導体装置の製造方法を図5を参照して説明する。

【0038】まず図5(a)に示すように、その主面上に形成された第1の電極パッドと、その第1の電極パッド上またはその近傍に形成された信号接続用の第1の貫通ビア1と、その主面上の各コーナー部に形成された第1の径サイズの第1のダミービア12とを有した第1の半導体チップ2に対して、その主面上に形成された第2の電極パッドと、その第2の電極パッド上またはその近傍に形成された信号接続用の第2の貫通ビア3と、その主面上の各コーナー部に形成された第2の径サイズの第2のダミービア13とを有した第2の半導体チップ4を積層し、第2のダミービア13から第1のダミービア12の位置を認識するとともに、第2のダミービア13の中心に第1のダミービア12の中心を合致させて位置合わせして、第1の貫通ビア1と第2の貫通ビア3とを導電材11やビアパッドどうしの金属接合により接続する。

【0039】次に図5(b)に示すように、第2の半導体チップ4に対して、その主面上に形成された第3の電極パッドと、その第3の電極パッド上またはその近傍に形成された信号接続用の第3の貫通ビア6と、その主面上の各コーナー部に形成された第3の径サイズの第3のダミービア14とを有した第3の半導体チップ7を積層し、第3のダミービア14からその下方の第1のダミービア12および第2のダミービア13の位置を認識するとともに、第3のダミービア14の中心に第1のダミービア12、第2のダミービア13の中心を合致させて位置合わせして、第2の貫通ビア3と第3の貫通ビア6とを前述と同様に接続することにより、半導体チップを積層する際の位置合わせ時は常に下方にあるダミービアを順次認識して位置合わせ精度を向上させ、半導体チップ間の接続の信頼性を高めた積層型半導体装置を得ること

ができるものである。

【0040】勿論前述の通りでは第1のダミービア12の第1の径サイズより第2のダミービア13の第2の径サイズは大きく、第2のダミービア13の第2の径サイズより第3のダミービア14の第3の径サイズは大きいものであり、その比率としては各々10[%]以上、好ましくは20[%]程度で順次大きい径サイズとするものである。本実施形態では、第1のダミービア12は20[$\mu\text{m}\phi$]、第2のダミービア13は25[$\mu\text{m}\phi$]、第3のダミービア14は30[$\mu\text{m}\phi$]としている。

【0041】なお、第1、第2、第3の半導体チップ2、4、7を積層した後は第1、第2、第3のダミービア12、13、14に固着材を充填してダミービアどうしを接続して各半導体チップを固定してもよい。

【0042】また、各半導体チップどうしを接続する際、封止樹脂を介在させて接続したり、または各半導体チップ間を接続した後に各半導体チップ間に第1のダミービア12または第3のダミービア14から封止樹脂を注入して半導体チップ間を封止樹脂で充填してもよい。

【0043】以上、本実施形態の積層型半導体装置およびその製造方法では、積層する半導体チップの各コーナー部には信号接続用のビアとは別に位置合わせ用のダミービアを設けることにより、位置精度よく積層され、各半導体チップ間の接続の信頼性の高い積層型半導体装置を得ることができる。また各半導体チップの積層後にダミービアに対して固着材を充填することにより、各半導体チップを確実に固定し、信号接続用のビアどうしの接続の安定性を向上させることができるものである。

【0044】

【発明の効果】以上、実施形態で説明した通り、本発明の積層型半導体装置は、第1の半導体チップの第1のダミービアの中心に第2の半導体チップの第2のダミービアの中心が対応して配置され、さらに第1の半導体チップの第1のダミービアの中心および第2の半導体チップの第2のダミービアの中心に第3の半導体チップの第3のダミービアの中心が対応して配置されているため、位置精度よく積層され、チップ積層における各半導体チップどうしの接続の信頼性を向上した積層型半導体装置を実現できるものである。

【0045】また本発明の積層型半導体装置の製造方法においては、1つの半導体チップに対して、その上に積層搭載される半導体チップのダミービアは下側の半導体チップのダミービアよりもその径を大きく構成しているため、半導体チップを積層する際の位置合わせ時は常に下方にあるダミービアを順次認識することにより位置合わせ精度を向上させ、半導体チップ間の接続の信頼性を高めることができるものである。また各半導体チップの積層後にダミービアに対して固着材を充填することにより、各半導体チップを確実に固定し、信号接続用のビア

どうしの接続の安定性を向上させることができるものである。

【図面の簡単な説明】

【図1】本発明の一実施形態にかかる積層型半導体装置を示す図

【図2】本発明の一実施形態にかかる積層型半導体装置を示す断面図

【図3】本発明の一実施形態にかかる積層型半導体装置の製造方法を示す平面図

【図4】本発明の一実施形態にかかる積層型半導体装置の製造方法を示す断面図

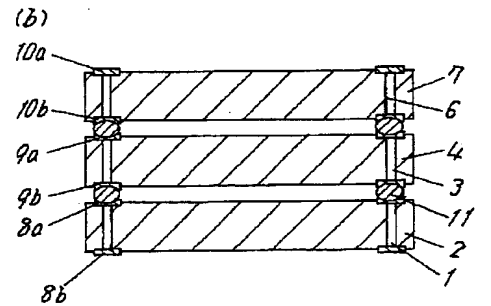
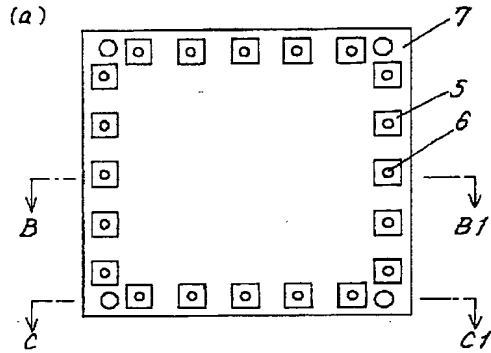
【図5】本発明の一実施形態にかかる積層型半導体装置の製造方法を示す断面図

【図6】従来の積層型半導体装置を示す図

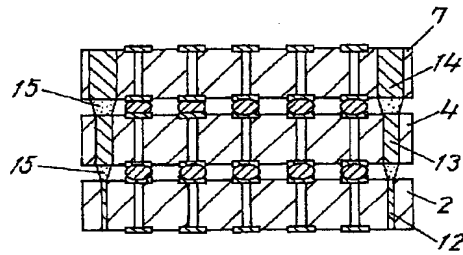
【符号の説明】

- * 1 第1の貫通ビア
- 2 第1の半導体チップ
- 3 第2の貫通ビア
- 4 第2の半導体チップ
- 5 第3の電極パッド
- 6 第3の貫通ビア
- 7 第3の半導体チップ
- 8 a, 8 b ビアパッド
- 9 a, 9 b ビアパッド
- 10 10 a, 10 b ビアパッド
- 11 導電材
- 12 第1のダミービア
- 13 第2のダミービア
- 14 第3のダミービア
- * 15 固着材

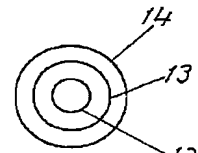
【図1】



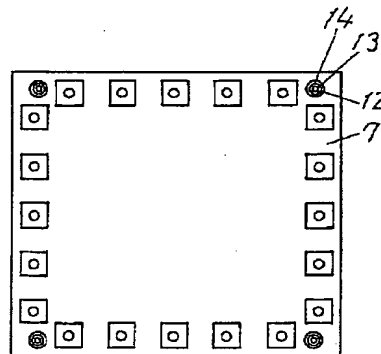
【図2】



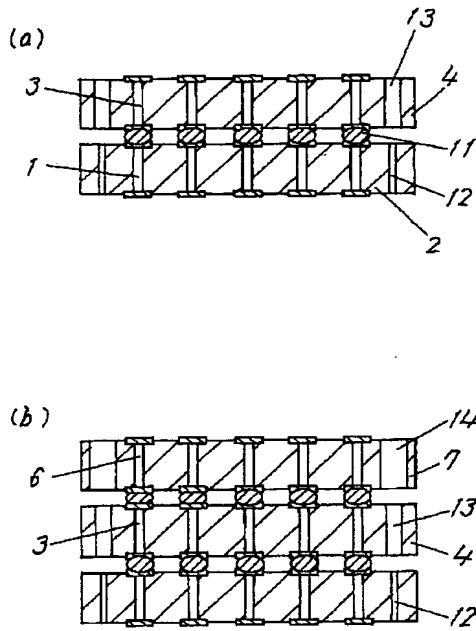
【図4】



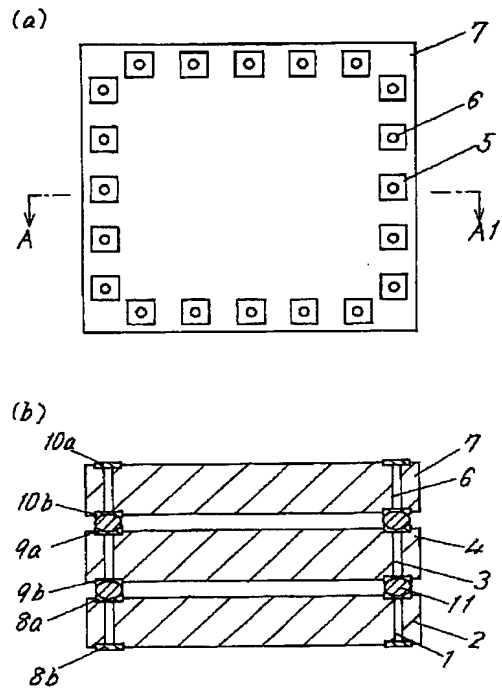
【図3】



【図5】



【図6】



フロントページの続き

(72)発明者 松村 和彦
 大阪府高槻市幸町1番1号 松下電子工業株式会社内
 (72)発明者 山田 雄一郎
 大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72)発明者 伊藤 史人
 大阪府高槻市幸町1番1号 松下電子工業株式会社内
 (72)発明者 隈川 隆博
 大阪府高槻市幸町1番1号 松下電子工業株式会社内